

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-082639

(43)Date of publication of application : 28.03.1997

(51)Int.Cl.

H01L 21/20
H01L 21/268
H01L 27/12
H01L 29/786
H01L 21/336

(21)Application number : 07-240179

(71)Applicant : SHARP CORP

(22)Date of filing : 19.09.1995

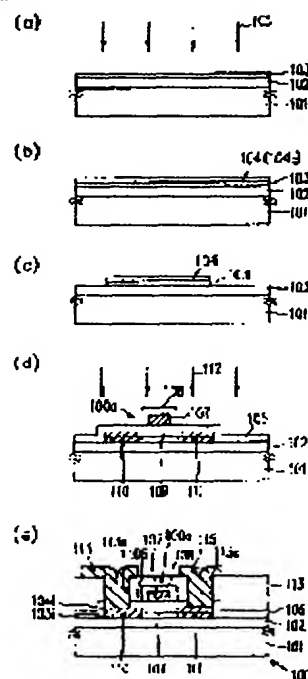
(72)Inventor : MAKITA NAOKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a high performance semiconductor device having a high mobility using a high quality crystalline silicon film comprised by crystallizing amorphous silicon film.

SOLUTION: A silicon germanium film 103 is formed on an insulating film 102 of a glass substrate 101, and by subjecting the film 103 to energy beam radiation the film is crystallized in a melt setting process, an amorphous film 104 is formed thereon to be heat-treated, and using the crystallized silicon germanium film 103c as a seed crystal growing of the amorphous silicon film 104 is grown in its crystal, and an active region 104i of TFT 100 is formed by using the crystalline crystal silicon film 104c.



LEGAL STATUS

[Date of request for examination]

23.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3204489

[Date of registration]

29.06.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-82639

(43) 公開日 平成9年(1997)3月28日

(51) Int. Cl. ⁶

識別記号

F I

H01L 21/20

H01L 21/20

21/268

21/268

Z

27/12

27/12

R

29/786

29/78

616

J

21/336

627

G

審査請求 未請求 請求項の数12 O L (全15頁) 最終頁に続く

(21) 出願番号

特願平7-240179

(71) 出願人 000005049

シャープ株式会社

(22) 出願日

平成7年(1995)9月19日

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

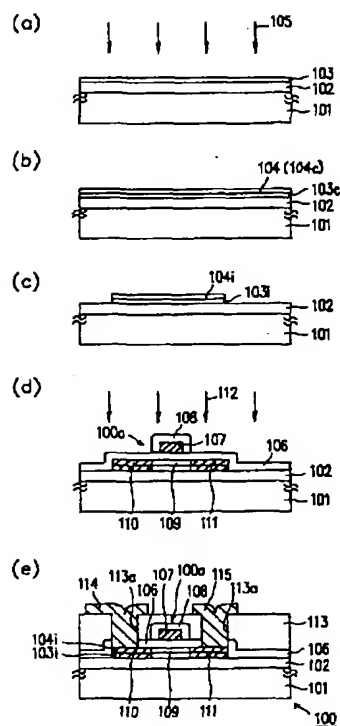
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 非晶質ケイ素膜を結晶化してなる高品質な結晶性ケイ素膜を用いて、高移動度を有する高性能半導体装置を得る。

【解決手段】 ガラス基板101の絶縁膜102上にシリコンゲルマニウム膜103を成膜し、これにエネルギービームを照射して熔融固化過程にて結晶化させた後、その上に非晶質ケイ素膜104を成膜し、これを熱処理して、結晶化したシリコンゲルマニウム膜103cをシードとして、非晶質ケイ素膜104を結晶成長させ、該結晶化した結晶性ケイ素膜104cを用いて、TFT100の活性領域104iを形成するようにした。



【特許請求の範囲】

【請求項 1】 絶縁性表面を有する基板と、該基板上に形成され、結晶性を有するケイ素膜からなる活性領域とを備えた半導体装置であって、

該活性領域は、エネルギービームの照射により熔融固化過程にて結晶化されたゲルマニウム膜またはゲルマニウムを含むケイ素膜をシードとして、非晶質ケイ素膜を結晶成長させてなるものである半導体装置。

【請求項 2】 前記エネルギービームは、波長 500 nm 以下のレーザー光である請求項 1 記載の半導体装置。

【請求項 3】 前記ゲルマニウムを含むケイ素膜 ($\text{Si}_{1-x}\text{Ge}_x$) のゲルマニウム分率 x が、0.3 以上である請求項 1 記載の半導体装置。

【請求項 4】 絶縁性表面を有する基板上に、ゲルマニウム膜、またはゲルマニウムを含むケイ素膜を形成する工程と、

該ゲルマニウム膜、またはゲルマニウムを含むケイ素膜にエネルギービームを照射して、該膜をその熔融固化過程にて結晶化する工程と、

該結晶化されたゲルマニウム膜またはゲルマニウムを含むケイ素膜上に、非晶質ケイ素膜を形成する工程と、加熱処理を施すことにより、結晶化されたゲルマニウム膜またはゲルマニウムを含むケイ素膜をシードとして、該非晶質シリコン膜を結晶成長させて結晶性ケイ素膜とする工程と、

該結晶性ケイ素膜を用いて半導体装置の活性領域を形成する工程と、を含む半導体装置の製造方法。

【請求項 5】 絶縁性表面を有する基板上に非晶質ケイ素膜を形成する工程と、

該非晶質ケイ素膜上に、ゲルマニウム膜、またはゲルマニウムを含むケイ素膜を形成する工程と、

該ゲルマニウム膜またはゲルマニウムを含むケイ素膜にエネルギービームを照射して、該膜をその熔融固化過程にて結晶化する工程と、

加熱処理を施すことにより、結晶化されたゲルマニウム膜またはゲルマニウムを含むケイ素膜をシードとして、該非晶質シリコン膜を結晶成長させて結晶性ケイ素膜とする工程と、

該結晶性ケイ素膜を用いて半導体装置の活性領域を形成する工程と、

を含む半導体装置の製造方法。

【請求項 6】 絶縁性表面を有する透光性基板上に、ゲルマニウム膜、またはゲルマニウムを含むケイ素膜を形成する工程と、

該ゲルマニウム膜、またはゲルマニウムを含むケイ素膜上に、非晶質ケイ素膜を形成する工程と、

基板裏面側からエネルギービームを照射して、該ゲルマニウム膜またはゲルマニウムを含むケイ素膜をその熔融固化過程にて結晶化する工程と、

加熱処理を施すことにより、結晶化されたゲルマニウム膜またはゲルマニウムを含むケイ素膜をシードとして、該非晶質シリコン膜を結晶成長させて結晶性ケイ素膜とする工程と、

該結晶性ケイ素膜を用いて半導体装置の活性領域を形成する工程と、

を含む半導体装置の製造方法。

【請求項 7】 請求項 5 または 6 記載の半導体装置の製造方法において、

前記ゲルマニウム膜またはゲルマニウムを含むケイ素膜と、前記非晶質ケイ素膜とを、大気に曝すことなく連続的に成膜する半導体装置の製造方法。

【請求項 8】 請求項 5 または 6 記載の半導体装置の製造方法において、

前記エネルギービームを、前記ゲルマニウム膜またはゲルマニウムを含むケイ素膜が熔融し、かつ、該ゲルマニウム膜またはゲルマニウムを含むケイ素膜に接する前記非晶質ケイ素膜が熔融しない範囲のエネルギーで照射する半導体装置の製造方法。

【請求項 9】 前記ゲルマニウム膜またはゲルマニウムを含むケイ素膜の熔融固化による結晶化を、前記基板を加熱した状態で行う請求項 4 ないし 6 のいずれかに記載の半導体装置の製造方法。

【請求項 10】 前記基板の加熱を、200℃～600℃の温度範囲で行う請求項 9 記載の半導体装置の製造方法。

【請求項 11】 前記非晶質ケイ素膜を結晶成長させるための加熱処理を、550℃～600℃の温度範囲で行う請求項 4 ないし 6 のいずれかに記載の半導体装置の製造方法。

【請求項 12】 前記エネルギービームとして、波長 500 nm 以下のレーザー光を用いる請求項 4 ないし 6 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、詳しくは、非晶質ケイ素膜を結晶化した結晶性ケイ素膜を活性領域として有する半導体装置およびその製造方法に関するものである。特に、本発明は、絶縁性基板上に設けられた TFT (薄膜トランジスタ) を用いた半導体装置に有効であり、アクティブマトリクス型液晶表示装置、密着型イメージセンサー、三次元 IC 等に利用できるものである。

【0002】

【従来の技術】近年、大型で高解像度の液晶表示装置や、高速で高解像度の密着型イメージセンサー、三次元 IC 等の実現に向けて、ガラス等の絶縁性基板上、または基板上の絶縁膜上に、高性能な半導体素子を形成する試みがなされている。これらの装置に用いられる半導体素子としては TFT 等が挙げられ、その活性領域には薄

膜状のケイ素半導体を用いるのが一般的である。

【0003】この薄膜状のケイ素半導体としては、非晶質ケイ素 (a-Si) 半導体からなるものと、結晶性を有するケイ素半導体からなるものの2つに大別される。

【0004】非晶質ケイ素半導体は作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられている。しかし、非晶質ケイ素半導体では、導電性等の物性が結晶性を有するケイ素半導体に比べて劣るので、今後、より高速特性を得るためには、結晶性を有するケイ素半導体を用いた半導体装置の作製方法を確立することが強く求める。なお、結晶性を有するケイ素半導体としては、多結晶ケイ素、微結晶ケイ素、結晶成分を含む非晶質ケイ素、結晶性と非結晶性の中間の状態を有するセミアモルファスケイ素等が知られている。

【0005】これらの結晶性を有する薄膜状のケイ素半導体を得る方法としては、以下の3つの方法が主として知られている。

【0006】(1) 第1の方法は、成膜時に結晶性を有するケイ素半導体膜を直接成膜する方法である。

【0007】(2) 第2の方法は、予め成膜した非晶質のケイ素半導体膜を、レーザ光の照射エネルギーにより結晶性を有するものとする方法である。

【0008】(3) 第3の方法は、予め成膜した非晶質のケイ素半導体膜を、熱エネルギーを加えることにより結晶性を有するものとする方法である。

【0009】また、それ以外の特殊な方法として、特開平 5 - 2 1 7 9 8 号公報に開示のエピタキシャル結晶成長技術による方法がある。

【0010】(4) この第4の方法は、ゲルマニウムを含むシリコン混晶膜をCVD (Chemical Vapour Deposition) 法により直接成膜し、さらにその上にCVD法により100%シリコンである膜 (以下、100%ケイ素膜ともいう。) を成膜する。上記CVD法による処理過程にて、シリコン膜はその下層のゲルマニウムを含むシリコン混晶膜の結晶性を反映して結晶成長する。即ち、上述の(1)の方法を適用し、エピタキシャル成長させているわけである。また、この公報記載のTFTの製造方法では、ゲルマニウムを含むシリコン混晶膜の界面を利用してチャネル部を形成しており、TFTの素子構造は、a-SiTFTで一般的に採用される逆スタガ型となっている。

【0011】

【発明が解決しようとする課題】ところが、上述した従来の(1)～(4)の方法では、いずれの方法によっても要求される素子特性を満足させるレベルの結晶性ケイ素膜が得られていない。

【0012】(1)の方法では、成膜工程と結晶化とが同時に進行するため、大粒径の結晶性ケイ素を得ることが困難であり、大粒径の結晶性ケイ素を得るためにはケ

イ素膜を厚膜にすることが不可欠である。しかし、厚膜化しても、基本的には膜厚と同程度の結晶粒径しか得られず、この方法により良好な結晶性を有するケイ素膜を得ることは、原理的にまず不可能である。また、この方法では、成膜温度が600℃以上と高いので、安価なガラス基板が使用できないというコスト上の問題もある。

【0013】(2)の方法では、溶融固化過程を利用して結晶化するので、個々の結晶粒内の結晶性は概ね良好である。しかし、シリコンの融点が1414℃と高く、結晶性を決定する固化過程において室温との間に大きな温度差が生じるため、過冷却状態となり、一般的に結晶粒径は100～200nm程度と非常に小さいものになる。

【0014】また、ハード面、つまりエネルギービームの照射装置においても問題がある。つまり、シリコンを溶融させるエネルギー以上の高エネルギーが必要になるため照射面積が小さくなり、エキシマレーザー等のパルスレーザーを用いた場合にはスキャン (重ね打ち) に伴うばらつき等が生じる。さらに、大面積基板の全面を均一に処理するには、レーザーの安定性が未だ充分ではないという問題もある。

【0015】(3)の方法では、上記(1)および(2)の方法と比較すると大面積に対応できるという利点はあるが、結晶化に際して600℃以上の高温で数十時間にわたる加熱処理を必要とする。従って、安価なガラス基板の使用とスループットの向上を考えると、加熱温度を下げると共に短時間で結晶化させるという相反する問題を同時に解決する必要がある。

【0016】(4)の特開平 5 - 2 1 7 9 8 号公報に開示の方法では、ケイ素膜をエピタキシャル成長させるためのシード膜である、ゲルマニウムを含むケイ素混晶膜の結晶性が良好ではない。その結果、その上に形成される結晶性ケイ素膜の結晶性も良好でなく、本発明の目的とするような高性能な素子特性は得られない。

【0017】この公報に記載の技術は、あくまでも現状のa-SiTFTをターゲットとした技術であり、ガラス基板が利用できる600℃以下の低温でa-SiTFTよりある程度高性能なTFTを提供できるにすぎないものである。また、この公報記載のTFTは、チャネル部の、ゲート絶縁膜に面する部分に、ゲルマニウムを含むケイ素混晶膜を用いた逆スタガ型の構成となっているが、ゲルマニウムは、一般的にゲート絶縁膜として利用される酸化ケイ素膜と相性が非常に悪い。従って、このようなチャネル部の界面構造で良好な素子特性を得ることは、非常に困難である。

【0018】さらに、ゲルマニウムを含むケイ素混晶膜は、100%ケイ素膜に比べて、ゲルマニウムの分率に応じてバンドギャップが狭くなる。その結果、TFTのオン特性、つまりオン電流値やキャリアの移動度等は向上するが、オフ特性の悪化、つまりオフ電圧印加時のリ

10

20

30

40

50

ーク電流の増大等が生じ、オン特性およびオフ特性双方の特性を満足する良好なTFTは得られない。

【0019】本発明は、このような従来の問題点を解決するためになされたものであり、絶縁性表面を有する基板上に、600℃以下の低温プロセスにより結晶粒径が大きく結晶性が良好な結晶性ケイ素膜を、大面積基板に対しても均一性および安定性良く作製することができ、また、TFT等の能動素子のオン特性及びオフ特性とともに向上することが可能な半導体装置およびその製造方法を提供することを目的とする。

【0020】

【課題を解決するための手段】この発明（請求項1）に係る半導体装置は、絶縁性表面を有する基板と、該基板上に形成され、結晶性を有するケイ素膜からなる活性領域とを備えた半導体装置である。該活性領域は、エネルギービームの照射により熔融固化過程にて結晶化されたゲルマニウム膜、またはゲルマニウムを含むケイ素膜をシードとして、非晶質ケイ素膜を結晶成長させてなるものである。そのことにより上記目的が達成される。

【0021】この発明（請求項2）は、請求項1記載の半導体装置において、前記エネルギービームを、波長500nm以下のレーザー光としたものである。

【0022】この発明（請求項3）は、請求項1記載の半導体装置において、前記ゲルマニウムを含むケイ素膜（ $\text{Si}_{1-x}\text{Ge}_x$ ）のゲルマニウム分率Xを、0.3以上としたものである。

【0023】この発明（請求項4）に係る半導体装置の製造方法は、絶縁性表面を有する基板上に、ゲルマニウム膜、またはゲルマニウムを含むケイ素膜を形成する工程と、該ゲルマニウム膜、またはゲルマニウムを含むケイ素膜にエネルギービームを照射して、該膜をその熔融固化過程にて結晶化する工程と、該結晶化されたゲルマニウム膜またはゲルマニウムを含むケイ素膜上に、非晶質ケイ素膜を形成する工程と、加熱処理を施すことにより、結晶化されたゲルマニウム膜またはゲルマニウムを含むケイ素膜をシードとして、該非晶質シリコン膜を結晶成長させて結晶性ケイ素膜とする工程と、該結晶性ケイ素膜を用いて半導体装置の活性領域を形成する工程とを含んでいる。そのことにより上記目的が達成される。

【0024】この発明（請求項5）に係る半導体装置の製造方法は、絶縁性表面を有する基板上に非晶質ケイ素膜を形成する工程と、該非晶質ケイ素膜上に、ゲルマニウム膜、またはゲルマニウムを含むケイ素膜を形成する工程と、該ゲルマニウム膜またはゲルマニウムを含むケイ素膜にエネルギービームを照射して、該膜をその熔融固化過程にて結晶化する工程と、加熱処理を施すことにより、結晶化されたゲルマニウム膜またはゲルマニウムを含むケイ素膜をシードとして、該非晶質シリコン膜を結晶成長させて結晶性ケイ素膜とする工程と、該結晶性ケイ素膜を用いて半導体装置の活性領域を形成する工程

とを含んでいる。そのことにより上記目的が達成される。

【0025】この発明（請求項6）に係る半導体装置の製造方法は、絶縁性表面を有する透光性基板上に、ゲルマニウム膜、またはゲルマニウムを含むケイ素膜を形成する工程と、該ゲルマニウム膜、またはゲルマニウムを含むケイ素膜上に、非晶質ケイ素膜を形成する工程と、基板裏面側からエネルギービームを照射して、該ゲルマニウム膜またはゲルマニウムを含むケイ素膜をその熔融固化過程にて結晶化する工程と、加熱処理を施すことにより、結晶化されたゲルマニウム膜またはゲルマニウムを含むケイ素膜をシードとして、該非晶質シリコン膜を結晶成長させて結晶性ケイ素膜とする工程と、該結晶性ケイ素膜を用いて半導体装置の活性領域を形成する工程とを含んでいる。そのことにより上記目的が達成される。

【0026】この発明（請求項7）は、請求項5または6記載の半導体装置の製造方法において、前記ゲルマニウム膜またはゲルマニウムを含むケイ素膜と、前記非晶質ケイ素膜とを、大気に曝すことなく連続的に成膜するようにしている。

【0027】この発明（請求項8）は、請求項5または6記載の半導体装置の製造方法において、前記エネルギービームを、前記ゲルマニウム膜またはゲルマニウムを含むケイ素膜が熔融し、かつ、該ゲルマニウム膜またはゲルマニウムを含むケイ素膜に接する前記非晶質ケイ素膜が熔融しない範囲のエネルギーで照射するようにしている。

【0028】この発明（請求項9）は、請求項4ないし6のいずれかに記載の半導体装置の製造方法において、前記ゲルマニウム膜またはゲルマニウムを含むケイ素膜の熔融固化による結晶化を、前記基板を加熱した状態で行うようにしている。

【0029】この発明（請求項10）は、請求項9記載の半導体装置の製造方法において、前記基板の加熱を、200℃～600℃の温度範囲で行うようにしている。

【0030】この発明（請求項11）は、請求項4ないし6のいずれかに記載の半導体装置の製造方法において、前記非晶質ケイ素膜を結晶成長させるための加熱処理を、550℃～600℃の温度範囲で行うようにしている。

【0031】この発明（請求項12）は、請求項4ないし6のいずれかに記載の半導体装置の製造方法において、前記エネルギービームとして、波長500nm以下のレーザー光を用いるようにしている。

【0032】以下、本発明の作用について説明する。

【0033】この発明（請求項1）においては、半導体装置の活性領域を、エネルギービームの照射により熔融固化過程にて結晶化されたゲルマニウム膜、またはゲルマニウムを含むケイ素膜をシードとして、非晶質ケイ素

10

20

30

40

50

膜を結晶成長させてなる構成としたから、活性領域は、シード膜の結晶性の向上により、結晶粒の大きな高品質の結晶性ケイ素領域となる。

【0034】つまり、ゲルマニウム膜、またはゲルマニウムを含むケイ素膜は、その融点が100%シリコンからなる膜に比べて低いため、熔融固化過程における固化速度が減少し、結果として大粒径の高品質な結晶性膜が得られる。このため、該活性領域を含む半導体素子を高性能なものとできる。また、上記活性領域を構成する結晶性ケイ素膜に直面するよう、ゲート電極を配置することにより、ゲート絶縁膜との相性の悪いゲルマニウムを含むシード膜がゲート絶縁膜と接するのを回避できる。またこの際、バンドギャップが100%ケイ素膜に比べて狭い該シード膜の素子特性への悪影響、つまりオフ電圧印加時のリーク電流の増大等を防止できる。

【0035】また、この場合、熔融のための加熱温度が低くなることから、照射エネルギーが小さくて済み、大面積一括照射が可能となり、レーザ照射の安定性も増す。このためハード面、つまりレーザ照射装置等に課される条件が緩くなり、ハード面における問題も解消する。

【0036】この発明（請求項2）においては、ゲルマニウム膜、またはゲルマニウムを含むケイ素膜を熔融するためのエネルギービームを、波長500nm以下のレーザ光としたので、波長500nm以下のレーザ光が、ケイ素およびゲルマニウムに対する吸収係数が極めて高いことから、非常に効率的に、かつ、基板にダメージを与えることなくゲルマニウム膜またはゲルマニウムを含むケイ素膜の熔融処理を行うことができる。

【0037】この発明（請求項3）においては、ゲルマニウムを含むケイ素膜（ $\text{Si}_{1-x}\text{Ge}_x$ ）のゲルマニウム分率 x を、0.3以上としたので、ケイ素100%からなる100%ケイ素膜よりも150℃以上融点を下げて、100%ケイ素膜に対して、明確な結晶性の向上を図ることができる。

【0038】この発明（請求項4）においては、ゲルマニウム膜またはゲルマニウムを含むケイ素膜を成膜し、これにエネルギービームを照射して熔融固化過程にて結晶化させた後、その上に非晶質ケイ素膜を成膜し、これを熱処理により該ゲルマニウム膜あるいはケイ素膜をシード膜として結晶化し、該結晶化した結晶性ケイ素膜を半導体装置の活性領域として用いるので、シード膜の融点の低下により、その固化温度を下げてその結晶性を向上させることができ、これにより、該シード膜の結晶性が反映される結晶化ケイ素の結晶性が向上することとなる。また上記活性領域を構成する結晶性ケイ素膜上にゲート絶縁膜を介してゲート電極を配置することにより、上述したようにTFTなどの半導体素子として、オン特性及びオフ特性の双方に優れた高性能なものを得ることができる。

【0039】また、この場合、ゲルマニウム膜等の熔融のための加熱温度が低くなることから、照射エネルギーが小さくて済み、大面積一括照射が可能となり、レーザ照射の安定性も増し、上記と同様ハード面における問題も解消できる。

【0040】また、この発明では、ゲルマニウム膜またはゲルマニウムを含むケイ素膜のみを形成した状態でエネルギービーム照射が行われるので、照射時のマージンが大きく、ある程度の高エネルギーを上記ゲルマニウム膜等に加えることが可能となる。よって、ゲルマニウムまたはゲルマニウムを含むケイ素膜の結晶性を非常に高品質なものとすることができる。

【0041】この発明（請求項5）においては、非晶質ケイ素膜を成膜し、その上にゲルマニウム膜またはゲルマニウムを含むケイ素膜を成膜した後、そのゲルマニウム膜またはゲルマニウムを含むケイ素膜にエネルギービームを照射し、該膜をその熔融固化過程にて結晶化させ、その後、加熱処理を施して、非晶質ケイ素膜を上記ゲルマニウム膜等をシード膜として結晶化させて結晶性ケイ素膜を形成するので、上記請求項4の発明と同様、シード膜の融点の低下により、その固化温度を下げてその結晶性を向上させることができ、これにより、該シード膜の結晶性が反映される結晶化ケイ素膜の結晶性が向上することとなる。また、上記と同様、ゲルマニウム膜等の熔融を行うためのハード面における問題も解消できる。

【0042】また、この発明では、シード膜を除去した後、結晶性ケイ素膜上にゲート電極を形成することにより、上記と同様、TFT等の半導体素子として、オン特性及びオフ特性の双方に優れた高性能なものを得ることができる。

【0043】またこの発明では、シード膜であるゲルマニウム膜またはゲルマニウムを含むケイ素膜が、非晶質ケイ素膜の上側に形成されているので、これらの膜を形成した状態で、シード膜へのエネルギービームの照射が可能である。このことから、非晶質ケイ素膜と、ゲルマニウム膜またはゲルマニウムを含むケイ素膜とを、大気に晒すことなく連続成膜が可能となる。

【0044】この発明（請求項6）においては、ゲルマニウム膜またはゲルマニウムを含むケイ素膜を成膜し、その上に非晶質ケイ素膜を成膜した後、基板裏面側からゲルマニウム膜またはゲルマニウムを含むケイ素膜にエネルギービームを照射し、該ゲルマニウム膜等を熔融固化過程にて結晶化させ、その後、加熱処理を施し、非晶質シリコン膜を上記ゲルマニウム膜等をシード膜として結晶化させて、結晶性ケイ素膜を形成するので、請求項4の発明と同様、シード膜の融点の低下により、その固化温度を下げてその結晶性を向上させることができ、これにより、該シード膜の結晶性が反映される結晶化ケイ素膜の結晶性が向上することとなる。また、上記と同

様、ゲルマニウム膜等の溶融を行うためのハード面における問題も解消できる。

【0045】また、この発明においても、請求項4の発明と同様にして、TFT等の半導体素子として、オン特性及びオフ特性の双方に優れた高性能なものを得ることができる。

【0046】また、請求項5の発明と同様、非晶質ケイ素膜と、ゲルマニウム膜またはゲルマニウムを含むケイ素膜とを、大気に晒すことなく連続成膜が可能となる。

【0047】この発明（請求項7）においては、前記ゲルマニウム膜またはゲルマニウムを含むケイ素膜と、前記非晶質ケイ素膜とを、大気に曝すことなく連続的に成膜するので、シード膜と非晶質ケイ素膜との界面をクリーンに保って、シード膜の良好な結晶性を十分に反映させて、非晶質ケイ素膜の結晶化を行うことができる。

【0048】この発明（請求項8）においては、シード膜と非晶質ケイ素膜とを形成した状態で、シード膜にエネルギービームを照射する際、エネルギービームを、該シード膜であるゲルマニウム膜またはゲルマニウムを含むケイ素膜が溶融し、かつ、該ゲルマニウム膜またはゲルマニウムを含むケイ素膜に接する前記非晶質ケイ素膜が溶融しない範囲のエネルギーで照射するようにしているので、シード膜の溶融の際に非晶質ケイ素膜が溶融するのを回避できる。これにより非晶質ケイ素膜の結晶化を、シード膜の良好な結晶性を反映して行うことができる。

【0049】この発明（請求項9）においては、シード膜であるゲルマニウム膜またはゲルマニウムを含むケイ素膜の溶融固化による結晶化を、前記基板を加熱した状態で行うようにしているので、シード膜の固化速度をさらに遅くして、さらなる結晶性の向上を図ることができる。

【0050】この発明（請求項10）においては、前記基板の加熱を、200℃～600℃の温度範囲で行うようにしているので、基板加熱によるシード膜の固化速度の低減を、基板の損傷を招くことなく、かつ固化速度低減によりシード膜の結晶性が明確に向上するよう行うことができる。

【0051】この発明（請求項11）においては、前記非晶質ケイ素膜を結晶成長させるための加熱処理を、550℃～600℃の温度範囲で行うようにしているので、非晶質ケイ素膜の加熱による結晶成長を、基板の損傷を招くことなく行うことができる。

【0052】この発明（請求項12）は、前記エネルギービームとして、波長500nm以下のレーザー光を用いるようにしているので、波長500nm以下のレーザー光が、ケイ素およびゲルマニウムに対する吸収係数が極めて高いことから、非常に効率的に、かつ、基板にダメージを与えることなくゲルマニウム膜またはゲルマニウムを含むケイ素膜の溶融処理を行うことができる。

【0053】

【発明の実施の形態】以下まず、本発明の基本原理について説明する。

【0054】本発明は、600℃以下の低温プロセスにて、高移動度で信頼性の高い高性能半導体装置を簡便に得ることができ、これによりガラスなどの絶縁性基板上にドライバモノリシック型アクティブマトリクス液晶表示装置などの高性能薄膜集積回路を実現することが可能である。

【0055】以下詳述すると、本発明では、エネルギービームの照射による溶融固化過程で結晶化されたゲルマニウム膜またはゲルマニウムを含むケイ素膜をシードとして、非晶質ケイ素膜を結晶成長させ、これを半導体装置の活性領域に利用している。本発明の大きなポイントは、シリコンとゲルマニウムの融点の違いに着目した点であり、ちなみに、ゲルマニウムの融点は、シリコンの融点1414℃に比べ、958℃と500℃近くも低温である。

【0056】さて、高品質な結晶性ケイ素膜を得るためには、レーザー等のエネルギービームの照射による溶融固化過程での結晶化技術が有効である。しかし、この技術だけでは、高品質な結晶粒は得られてもその粒径が小さく、また、結晶化のための装置等のハード面でも課題があることは、従来技術の項で既に述べた通りである。

【0057】この溶融固化過程での結晶化において、その結晶性を決定する上で最も重要なパラメーターは固化速度であり、固化速度が遅ければ、ゆっくりと結晶成長が進むので個々の結晶粒が大粒径化され、高品質な結晶性ケイ素膜を得ることができる。このため、実際の処理では、レーザー照射時に基板を400℃程度に加熱して、少しでも固化速度を遅らせることも一般的に行われている。

【0058】しかしながら、ガラス基板の耐熱性を考慮すると基板の加熱温度には限界があり、最高600℃まで基板を加熱してレーザー照射を行ったとしても、シリコンの融点1414℃までにはまだ800℃以上の温度差があり、画期的な効果は得られない。

【0059】そこで、本発明者は、シリコンとゲルマニウムとの融点の違いに注目した。上述したように、シリコンの融点1414℃に比べて、ゲルマニウムの融点は958℃であり、500℃近くも低温である。ゲルマニウム膜またはゲルマニウムを含むケイ素膜をこれにエネルギービームを照射して結晶化する場合、溶融固化過程における固化速度が100%ケイ素膜の結晶化の場合に比べて著しく減少し、その結果、大粒径の高品質な結晶性膜が得られる。また、シリコンに対して融点が低い分、照射エネルギーも小さくて済むので、大面積を一括照射することが可能となり、また、安定性も増大して、ハード面に関する問題もほぼ解決される。

【0060】この結晶化されたゲルマニウム膜またはゲ

ルマニウムを含むケイ素膜をシードとして、これに接して形成された非晶質ケイ素膜を加熱処理により結晶成長させると、熔融固化過程にて結晶化されたゲルマニウム膜またはゲルマニウムを含むケイ素膜の良好な結晶性を反映して、非晶質ケイ素膜が結晶化される。その結果、従来の方法では得ることができなかったような高品質な結晶性ケイ素膜が得られる。この結晶性ケイ素膜を半導体装置の活性領域とすることにより、オン特性およびオフ特性の双方が優れた高性能な半導体装置が得られる。

【0061】また、上記エネルギービームとしては、波長500nm以下のレーザー光を用いるのが望ましい。これは、波長500nm以下のレーザー光は、ケイ素およびゲルマニウムに対する吸収係数が極めて高く、非常に効率的に、かつ、基板にダメージを与えることなくゲルマニウム膜またはゲルマニウムを含むケイ素膜を結晶化できるからである。例えば、パルスレーザーでは波長308nmのXeClエキシマレーザー、波長248nmのKrFエキシマレーザー等があり、連続発振(CW)レーザーとしては波長488nmのArFレーザー等がある。

【0062】また、ゲルマニウムを含むケイ素膜($\text{Si}_{1-x}\text{Ge}_x$)を用いる場合、ゲルマニウム分率 x が0.3以上であるのが望ましい。図4に示すように、ゲルマニウムを含むケイ素膜の融点とゲルマニウム分率 x とは、リニアな関係にある。100%ケイ素膜に対して、その結晶性に明確なアドバンテージを持たせるためには、100%ケイ素膜よりも150℃以上融点を下げる必要がある。

【0063】これは、レーザー照射時の基板加熱温度にも同じことが言え、室温より150℃以上高い温度、すなわち、大体200℃以上に加熱しないとその差ははっきりとは現れてこない。従って、本発明におけるゲルマニウムを含むケイ素膜($\text{Si}_{1-x}\text{Ge}_x$)のゲルマニウム分率 x としては、0.3以上であることが望ましい。

【0064】またレーザー照射の際の基板加熱に関しては、被照射物質の融点とその雰囲気温度(基板温度)の温度差が小さければ小さいほど固化速度が低下し、良好な結晶性膜が得られることから、本発明においても基板加熱状態でレーザー照射することが望ましい。この際の基板加熱温度としては、ガラス基板の耐熱性の面から上限値が600℃以下に制限されるため、200℃~600℃であることが望ましい。

【0065】本発明の基本原理を用いて半導体装置を製造する方法としては、主に以下の3つの方法が挙げられる。

【0066】第1の方法は、まず、ゲルマニウム膜またはゲルマニウムを含むケイ素膜を成膜し、これにエネルギービームを照射して熔融固化過程にて結晶化させた後、その上に非晶質ケイ素膜を成膜し、これを熱処理に

より結晶化する方法である。この方法では、結晶性ケイ素膜の下側にゲルマニウム膜またはゲルマニウムを含むケイ素膜が残ってしまうので、TFETとしては、上記結晶性ケイ素膜の上面をチャネル面、つまりゲート電極と対向する面としたトップゲート型構造のものが主として用いられる。また、この方法では、ゲルマニウム膜またはゲルマニウムを含むケイ素膜のみを形成した状態でエネルギービーム照射が行われるので、照射時のマージンが大きく、ある程度の高エネルギーを上記ゲルマニウム膜等に加えることが可能である。よって、ゲルマニウムまたはゲルマニウムを含むケイ素膜の結晶性を非常に高品質なものとすることができる。

【0067】また、第2の方法は、まず、非晶質ケイ素膜を成膜し、その上にゲルマニウム膜またはゲルマニウムを含むケイ素膜を成膜した後、そのゲルマニウム膜またはゲルマニウムを含むケイ素膜にエネルギービームを照射し、該膜をその熔融固化過程にて結晶化させ、その後、加熱処理を施して、非晶質ケイ素膜を結晶化させる方法である。

【0068】この方法は、ゲルマニウム膜等の下側に結晶性ケイ素膜が形成されるので、ボトムゲート型構造のTFETの製造方法にそのまま適用できる。また、非晶質ケイ素膜を結晶化した後、上層のゲルマニウム膜またはゲルマニウムを含むケイ素膜を除去することにより、この第2の方法は、トップゲート型TFETの製造方法にも適用可能となる。ゲルマニウム膜またはゲルマニウムを含むケイ素膜は残しておいてもよいが、あくまでも非晶質ケイ素膜を結晶化するためのシード膜として用いられるものであり、素子形成後はリーク源にもなり得るので、最終的には除去の方が望ましい。

【0069】またこの第2の方法では、ゲルマニウム膜またはゲルマニウムを含むケイ素膜が結晶性ケイ素膜の上側に形成されているので容易に除去でき、この点は、この第2の方法をTFETの製造方法に適用する場合、大きなアドバンテージとなる。さらに、非晶質ケイ素膜を成膜した後、ゲルマニウム膜またはゲルマニウムを含むケイ素膜を成膜するので、連続成膜が可能である。これは、上記第1の方法とは異なり、非晶質ケイ素膜を結晶化するためのシード膜が非晶質ケイ素膜上に位置するためこれらの膜を形成した状態で、シード膜にエネルギービームの照射が可能であるからである。

【0070】ところで、熔融固化過程にて結晶化されたゲルマニウム膜またはゲルマニウムを含むケイ素膜の良好な結晶性を十分に反映させて非晶質ケイ素膜を結晶化させるためには、両者の界面をクリーンに保つ必要がある。従って、ゲルマニウム膜またはゲルマニウムを含むケイ素膜と、非晶質ケイ素膜とを、大気に曝すことなく連続的に成膜することは非常に有効である。但し、この方法では、ゲルマニウム膜またはゲルマニウムを含むケイ素膜にエネルギービームを照射して熔融固化過程にて

該膜を結晶化させる際に、非晶質ケイ素膜にもエネルギービームが照射されてしまうので、ゲルマニウム膜またはゲルマニウムを含むケイ素膜のみが溶融し、非晶質ケイ素膜が溶融しないようなエネルギー範囲でエネルギービームの照射を行うのが望ましい。この工程において非晶質ケイ素膜が溶融して結晶化すると、それによって結晶性ケイ素膜の結晶性が決定されてしまうので、本発明の目的とするような高品質な結晶性ケイ素膜が得られないからである。

【 0 0 7 1 】第 3 の方法は、まず、ゲルマニウム膜またはゲルマニウムを含むケイ素膜を成膜し、その上に非晶質ケイ素膜を成膜した後、基板裏面側からゲルマニウム膜またはゲルマニウムを含むケイ素膜にエネルギービームを照射し、該ゲルマニウム膜等を溶融固化過程にて結晶化させ、その後、加熱処理を施し、非晶質シリコン膜を結晶化させるものである。この方法では、基板裏面からゲルマニウム膜またはゲルマニウムを含むケイ素膜にエネルギービームを照射するので、使用するエネルギービームを十分透過することができる透光性材料を基板として用いる必要がある。

【 0 0 7 2 】この方法は、チャンネル面を形成する 1 0 0 % ケイ素膜がシード膜の上側に位置しているため、そのままトップゲート型構造の T F T の製造方法に適用できる。

【 0 0 7 3 】また、この方法でも、上記第 2 の方法と同様、シード膜であるゲルマニウム膜またはゲルマニウムを含むケイ素膜と非晶質ケイ素膜とを形成した状態で、エネルギービームをシード膜に照射可能であるため、該シード膜と非晶質ケイ素膜の連続成膜が可能であり、このため、大気中に曝さずに両者を連続成膜することにより該両者の界面をクリーンに保つことができ、良好な結晶性ケイ素膜を得ることができる。但し、この方法でも、ゲルマニウム膜またはゲルマニウムを含むケイ素膜にエネルギービームを照射して溶融固化過程にて該膜を結晶化させる際に、第 2 の方法と同様に、ゲルマニウム膜またはゲルマニウムを含むケイ素膜のみが溶融し、非晶質ケイ素膜が溶融しないようなエネルギー範囲でエネルギービームの照射を行うのが望ましい。

【 0 0 7 4 】以上述べた 3 つの方法は、いずれも、ゲルマニウム膜またはゲルマニウムを含むケイ素膜の結晶化処理を、基板を加熱した状態で行うのが望ましい。これは、被照射物質の融点とその雰囲気温度（基板温度）との温度差が小さいほど固化速度が低下し、良好な結晶性膜が得られるからである。その際の加熱温度としては、これも上述したように、2 0 0 ° C ~ 6 0 0 ° C の範囲が適当である。また、上述したように、エネルギービームとしては、波長 5 0 0 n m 以下のレーザー光を用いるのが最も効率がよい。

【 0 0 7 5 】そして、非晶質ケイ素膜を結晶成長させる際の加熱処理を、温度 5 5 0 ° C ~ 6 0 0 ° C の範囲内

で行うことが望ましい。従来、非晶質ケイ素膜の固相結晶化には、6 0 0 ° C 以上の温度での熱処理が必要であったが、本発明では良好な結晶性を有するゲルマニウム膜またはゲルマニウムを含むケイ素膜をシードとして非晶質ケイ素膜を結晶化しているので、その結晶化エネルギーが低減されて、従来より 5 0 ° C も低い温度でも結晶成長が起こる。また、溶融固化過程にて結晶化されたゲルマニウム膜またはゲルマニウムを含むケイ素膜の良好な結晶性を十分に反映させて非晶質ケイ素膜を結晶化させるためには、ゆっくりと成長させる方がよく、また、ガラス基板の耐熱性の面からも、上記非晶質ケイ素膜の結晶化を、結晶化温度の下限である 5 5 0 ° C より高く 6 0 0 ° C より低い温度範囲で行うのが望ましい。

【 0 0 7 6 】以下、本発明の実施の形態について説明する。

【 0 0 7 7 】（実施形態 1）図 1 は本発明の実施形態 1 による半導体装置及びその製造方法を説明するための図であり、図 1 (a) ~ 図 1 (e) は該製造方法の主要工程における断面構造を示している。

【 0 0 7 8 】図において、1 0 0 は、本実施形態による半導体装置であり、そのガラス基板 1 0 1 上には、絶縁性の下地膜 1 0 2 を介して N 型 T F T 1 0 0 a が形成されている。この T F T 1 0 0 a は、アクティブマトリクス型液晶表示装置のドライバー回路や画素のスイッチング素子として用いることができる。また、液晶表示装置のみでなく、密着型イメージセンサー、三次元 I C 等、さらに一般に言われている薄膜集積回路にも利用できることは言うまでもない。

【 0 0 7 9 】以下詳述すると、上記下地膜 1 0 2 上には、エネルギービーム照射による溶融固化過程で結晶化したゲルマニウム膜またはゲルマニウムを含むケイ素膜 1 0 3 i と、それをシードとして結晶化させた結晶性ケイ素膜 1 0 4 i とが島状に形成されている。上記 T F T 1 0 0 a の活性領域である結晶性ケイ素膜 1 0 4 i は、チャンネル領域 1 0 9 およびその両側のソース、ドレイン領域 1 1 0、1 1 1 から構成されている。該結晶性ケイ素膜 1 0 4 i 上には、ゲート絶縁膜 1 0 6 を介してチャンネル領域 1 0 9 と対向するようにゲート電極 1 0 7 が形成されている。

【 0 0 8 0 】また、該ゲート電極 1 0 7 の表面には、これを覆うよう酸化物層 1 0 8 が形成され、さらに T F T 1 0 0 a の全面を覆うよう層間絶縁膜 1 1 3 が形成されている。該層間絶縁膜 1 1 3 には、上記ソース、ドレイン領域 1 1 0、1 1 1 に対応する位置にコンタクトホール 1 1 3 a が形成されており、ソース、ドレイン領域 1 1 0、1 1 1 は、該コンタクトホール 1 1 3 a を介して T F T の電極配線 1 1 4、1 1 5 に電気的に接続されている。

【 0 0 8 1 】次に製造方法について説明する。

【 0 0 8 2 】まず、図 1 (a) に示すように、ガラス板

などからなる絶縁性基板 101 上に、例えばスパッタリング法により、厚さ 200 nm 程度の酸化ケイ素からなる下地膜 102 を形成する。この酸化ケイ素膜 102 は、ガラス基板からその上の TFT 側への不純物の拡散を防ぐ働きがある。

【0083】次に、減圧 CVD 法やプラズマ CVD 法、またはスパッタリング法などにより、厚さ 10~50 nm のゲルマニウム膜またはシリコンゲルマニウム ($\text{Si}_{1-x}\text{Ge}_x$) 膜 103 を成膜する。ここでは、減圧 CVD 法を用い、温度 550℃ で SiH_4 と GeH_4 との混合ガスを分解・反応させて膜厚 30 nm のシリコンゲルマニウム ($\text{Si}_{0.5}\text{Ge}_{0.5}$) 膜 103 を成膜した。該シリコンゲルマニウム膜 103 のゲルマニウム分率 x は、 SiH_4 と GeH_4 との流量比により決定される。ちなみに、この $\text{Si}_{0.5}\text{Ge}_{0.5}$ 膜 103 の融点は 1180℃ 程度であり、成膜と同時に既に結晶化されている。

【0084】その後、図 1 (a) に示すように、基板上方からレーザー光 105 を照射することにより、 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 膜 103 を再結晶化する。この時のレーザー光 105 としては、波長 500 nm 以下のレーザーである XeCl エキシマレーザー (波長 308 nm、パルス幅 40 nsec) を用いた。レーザー光の照射条件は、照射時に基板を 200~600℃、例えば 400℃ に加熱し、エネルギー密度 100~250 mJ/cm²、例えば 200 mJ/cm² で、照射スポット 1 カ所に付き 20 ショット照射するものとした。これにより、 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 膜 103 は、その融点以上に加熱され、溶融して固化する過程において良好な結晶性を有する $\text{Si}_{0.5}\text{Ge}_{0.5}$ 膜 103c となる。

【0085】続いて、この結晶性 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 膜 103c の表面を、フッ酸 (HF) 水溶液により洗浄し、自然酸化膜を十分に除去した後すぐに、図 1 (b) に示すように、減圧 CVD 法等による厚さ 20~100 nm、例えば 30 nm の真性 (I 型) 非晶質ケイ素膜 (a-Si 膜) 104 を成膜する。

【0086】これを水素還元雰囲気下または不活性雰囲気下、加熱温度 550~600℃、数時間から数十時間の処理時間という条件で、例えば加熱温度 580℃、処理時間 20 時間でもってアニール処理を行うことにより、上記 a-Si 膜 104 を結晶化させる。この際、a-Si 膜 104 は、その下層の結晶性 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 膜 103c の良好な結晶性を反映して結晶化され、図 1 (b) に示すように、高品質な結晶性ケイ素膜 104c となる。

【0087】以上のような処理により得られた高品質な結晶性ケイ素膜 104c および結晶性 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 膜 103c の不要な部分を除去し、図 1 (c) に示すような素子間分離を行って、後に TFT の活性領域、つまりチャネル領域 109、ソース、ドレイン領域 110、111 となる島状の結晶性ケイ素膜 104i を形成する。

この時、該結晶性ケイ素膜 104i の下側には、これと同一パターンの結晶性 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 膜 103i が残る。

【0088】次に、図 1 (d) に示すように、活性領域となる結晶性ケイ素膜 104i を覆うように厚さ 20~150 nm、例えば 100 nm の酸化ケイ素膜をゲート絶縁膜 106 として成膜する。ここでは、TEOS (Tetra Ethoxy Ortho Silicate) を原料として、これを酸素と共に RF プラズマ CVD 法により処理して、分解・堆積した。このときの基板温度は、例えば 150~600℃、好ましくは 300~400℃ である。なお、上記酸化ケイ素膜の形成は、上記 TEOS を原料として、これをオゾンガスと共に減圧 CVD 法または常圧 CVD 法により処理して行ってもよい。この場合の基板温度は、例えば 350~600℃、好ましくは 400~550℃ である。さらに、該酸化ケイ素膜の成膜後、ゲート絶縁膜自身のバルク特性、および結晶性ケイ素膜とゲート絶縁膜との界面特性を向上するために、不活性ガス雰囲気下、400~600℃ で 30~60 分のアニールを行った。

【0089】続いて、スパッタリング法により、厚さ 400~800 nm、例えば 600 nm のアルミニウムを成膜し、これをパターニングしてゲート電極 107 を形成する。

【0090】さらに、図 1 (d) に示すように、ゲート電極 107 の表面を陽極酸化して表面に酸化物層 108 を形成する。ここでは、上記陽極酸化は酒石酸が 1~5% 含まれたエチレングリコール溶液中で行った。このとき、陽極酸化処理は、最初一定電流で 220 V まで電圧を上げ、その状態を 1 時間保持して終了した。これにより厚さ 200 nm の酸化物層 108 を形成した。なお、この酸化物層 108 の厚さは、後のイオンドーピング工程において、オフセットゲート領域の長さとなるので、オフセットゲート領域の長さをこの陽極酸化工程で制御することができる。

【0091】次に、イオンドーピング法により、ゲート電極 107 およびその表面を覆う酸化物層 108 をマスクとして、活性領域に不純物 (リン) を注入する。ドーピングガスとしてはフォスフィン (PH_3) を用い、加速電圧は 60~90 kV、例えば 80 kV、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $2 \times 10^{15} \text{ cm}^{-2}$ とする。これにより、不純物が注入された領域 110 と 111 は後に TFT のソース、ドレイン領域となり、ゲート電極 107 および酸化物層 108 にマスクされて不純物が注入されない領域 109 は、後に TFT のチャネル領域となる。

【0092】続いて、図 1 (d) に示すように、レーザー光 112 を照射してアニールを行い、イオン注入した不純物の活性化を行うと共に、上記不純物導入工程で結晶性が劣化した部分の結晶性を回復させる。この時のレ

ーザー光 112 としては、XeCl エキシマレーザー（波長 308 nm、パルス幅 40 nsec）を用いた。レーザー光の照射は、エネルギー密度 150 ~ 400 mJ/cm²、好ましくは 200 ~ 250 mJ/cm² で行った。このようにして形成された N 型不純物（リン）領域 110、111 のシート抵抗は、200 ~ 800 Ω/□ であった。

【0093】その後、図 1 (e) に示すように、厚さ 600 nm 程度の酸化ケイ素膜または窒化ケイ素膜を層間絶縁膜 113 として形成する。酸化ケイ素膜を用いる場合には、TEOS を原料として、これと酸素とのプラズマ CVD 法での処理、または該 TEOS とオゾンとの減圧 CVD 法もしくは常圧 CVD 法での処理を行えば、段差被覆性に優れた良好な層間絶縁膜が得られる。なお、上記層間絶縁膜として、SiH₄ と NH₃ を原料ガスとしてプラズマ CVD 法により成膜された窒化ケイ素膜を用いると、活性領域とゲート絶縁膜との界面への水素原子の供給により、TFT 特性を劣化させる不對結合手を低減できる効果がある。

【0094】次に、層間絶縁膜 113 およびゲート絶縁膜 106 にコンタクトホール 113a を形成して、金属材料、例えば窒化チタンとアルミニウムの二層膜からなる TFT の電極配線 114、115 を形成する。ここで窒化チタン膜は、バリア膜としてアルミニウムが半導体層に拡散するのを防止する働きがある。そして最後に、1 気圧の水素雰囲気下での、温度 350℃、処理時間 30 分のアニールを行って、図 1 (e) に示す TFT 100a を完成する。

【0095】この TFT 100a を、画素電極のスイッチング素子として用いる場合には、電極 114、115 の一方を ITO (Indium Tin Oxide) 等の透明導電膜からなる画素電極に接続し、他方の電極から信号を入力するようにする。また、この TFT 100a を薄膜集積回路に用いる場合には、ゲート電極 107 上にもコンタクトホールを形成し、必要とする配線を施せばよい。

【0096】このようにして作製した N 型 TFT は、電界効果移動度 120 ~ 150 cm²/Vs、閾値電圧 1 ~ 2 V という良好なオン特性を示した。また該 TFT では、オフ時のリーク電流を小さく抑えることができた。

【0097】（実施形態 2）図 2 は本発明の実施形態 2 による半導体装置及びその製造方法を説明するための図であり、図 2 (a) ~ 図 2 (e) は該製造方法の主要工程における断面構造を示している。

【0098】図において、200 は、本実施形態による半導体装置であり、そのガラス基板 201 上には、絶縁性の下地膜 202 を介して P 型 TFT 200a が形成されている。この TFT 200a は、アクティブマトリクス型液晶表示装置のドライバー回路や画素のスイッチング素子として用いることができ、さらに、液晶表示装置

のみでなく、上述した薄膜集積回路にも利用できることは言うまでもない。

【0099】以下詳述すると、上記下地膜 202 上には、エネルギービーム照射による熔融固化過程で結晶化したゲルマニウム膜またはゲルマニウムを含むケイ素膜をシードとして結晶化させた結晶性ケイ素膜 204i が形成されている。この結晶性ケイ素膜 204i は、TFT の活性領域となっており、チャネル領域 209 およびその両側のソース、ドレイン領域 210、211 から構成されている。該結晶性ケイ素膜 204i 上には、ゲート絶縁膜 206 を介してチャネル領域 209 と対向するようゲート電極 207 が形成されている。そして、該 TFT 200a の表面にはこれを覆うよう層間絶縁膜 213 が形成されており、該層間絶縁膜 213 の、上記 TFT のソース、ドレイン領域 210、211 に対応する位置には、コンタクトホール 213a が形成されている。そして、上記ソース、ドレイン領域 210、211 は、上記コンタクトホール 213a を介して TFT の電極配線 214、215 に電氣的に接続されている。

【0100】次に製造方法について説明する。

【0101】まず、図 2 (a) に示すように、ガラス板などからなる絶縁性基板 201 上に、例えばスパッタリング法により、厚さ 200 nm 程度の酸化ケイ素からなる下地膜 202 を形成する。

【0102】次に、プラズマ CVD 法により、SiH₄ ガスを原料として、厚さ 20 ~ 100 nm、例えば 50 nm の真性 (I) 型 a-Si 膜 204 を成膜し、引き続いてプラズマ CVD 法により、GeH₄ ガスを原料として、厚さ 30 ~ 100 nm、例えば 50 nm の真性非晶質ゲルマニウム (a-Ge) 膜 203 を成膜する。なお、この a-Ge 膜 203 に代えて、上記実施形態 1 で示したようなシリコンゲルマニウム膜を形成することもできる。ここでは、マルチェンバー型のプラズマ CVD 装置を用いて、a-Si 膜 204 と a-Ge 膜 203 とを大気中に曝すことなく連続して成膜した。

【0103】その後、図 2 (a) に示すように、基板上方からレーザー光 205 を照射することにより、a-Ge 膜 203 を結晶化する。この時のレーザー光 205 としては、波長 500 nm 以下のレーザーである XeCl エキシマレーザー（波長 308 nm、パルス幅 40 nsec）を用いた。レーザー光の照射条件は、照射時に基板を 200 ~ 600℃、例えば 400℃ に加熱し、エネルギー密度 50 ~ 150 mJ/cm²、例えば 100 mJ/cm² で照射スポット 1 カ所に付き 4 ショット照射するものとした。これにより、a-Si 膜 204 の上側の a-Ge 膜 203 のみが熔融して固化する過程にて、該 a-Ge 膜 203 は良好な結晶性を有する Ge 膜 203c となる。また、下層の a-Si 膜 204 は熔融せず、結晶化されずにそのまま非晶質状態が維持される。

【0104】そして、不活性雰囲気下で、かつ加熱温度

550℃で30時間アニール処理を行って、上記a-Si膜204を結晶化させる。この際、a-Si膜204は、その上側の結晶性ゲルマニウム膜203cの良好な結晶性を反映して結晶化され、図2(b)に示すように、高品質な結晶性ケイ素膜204cとなる。

【0105】次に、結晶性ゲルマニウム膜203cのみをエッチング除去する。ここでは、エッチャントとして、HF:H₂O₂:H₂Oの比が1:4:5である混合液を用いて、室温で上記結晶性ゲルマニウム膜203cのエッチングを行った。このようなエッチャントを用いることにより、シリコンとゲルマニウムとのエッチング選択比を十分に取ることができ、該ゲルマニウム膜203cをその下側の結晶性ケイ素膜204cを大きくエッチングすることなく、選択エッチングすることができる。

【0106】その後、結晶性ケイ素膜204cの不要な部分を除去し、図2(c)に示すような素子間分離を行って、後にTFTの活性領域、つまりチャネル領域209、ソース、ドレイン領域210、211となる島状の結晶性ケイ素膜204iを形成する。

【0107】次に、図2(d)に示すように、活性領域となる結晶性ケイ素膜204iを覆うように厚さ20~150nmの酸化ケイ素膜をゲート絶縁膜206として成膜する。ここでは、スパッタリング法を用いて100nmの酸化ケイ素膜を成膜した。またスパッタリング処理のターゲットとしては酸化ケイ素を用い、スパッタリング時の基板温度は200~400℃、例えば350℃とし、スパッタリング処理における雰囲気は、酸素とアルゴンとの比率がアルゴン/酸素=0~0.5、例えば0.1以下であるものとした。

【0108】続いて、スパッタリング法により、厚さ400nmのアルミニウムを成膜し、これをパターニングしてゲート電極207を形成する。

【0109】その後、イオンドーピング法により、ゲート電極207をマスクとして、活性領域に不純物(ホウ素)を注入する。ここでは、ドーピングガスとしてはジボラン(B₂H₆)を用い、加速電圧は40~80kV、例えば65kV、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $5 \times 10^{15} \text{ cm}^{-2}$ としている。これにより、不純物が注入された領域210と211は、後にTFTのソース、ドレイン領域となり、ゲート電極207にマスクされて不純物が注入されない領域209は、後にTFTのチャネル領域となる。

【0110】次に、図2(d)に示すように、レーザー光212を全面に照射してアニールを行い、イオン注入した不純物の活性化を行うと共に、上記不純物導入工程で結晶性が劣化した部分の結晶性を回復させる。この時のレーザー光212としては、KrFエキシマレーザー(波長248nm、パルス幅20ns)を用いた。レーザー光の照射は、エネルギー密度150~400m

J/cm²、好ましくは200~250mJ/cm²の条件で行った。このようにして形成されたP型不純物(ホウ素)領域210及び211のシート抵抗は、500~900Ω/□であった。

【0111】続いて、図2(e)に示すように、全面に厚さ600nm程度の酸化ケイ素膜を層間絶縁膜213として形成する。この場合、上記TEOSを原料として、これと酸素とのプラズマCVD法での処理、または該TEOSとオゾンとの減圧CVD法もしくは常圧CVD法での処理を行えば、段差被覆性に優れた良好な層間絶縁膜が得られる。

【0112】その後、層間絶縁膜213およびゲート絶縁膜206にコンタクトホール213aを形成して、金属材料、例えば窒化チタンとアルミニウムの二層膜により、TFTの電極配線214、215を形成する。

【0113】そして最後に、水素のプラズマ雰囲気下で、処理温度350℃、処理時間30分のアニールを行って、図2(e)に示すTFT200aを完成する。

【0114】このTFT200aを、画素電極のスイッチング素子として用いる場合には、電極214、215の一方をITO等の透明導電膜からなる画素電極に接続し、他方の電極から信号を入力するようにする。また、このTFTを薄膜集積回路に用いる場合には、ゲート電極207上にもコンタクトホールを形成し、必要とする配線を施せばよい。

【0115】このようにして作製したP型TFTは、電界効果移動度70~90cm²/Vs、閾値電圧-3~-4Vという良好なオン特性を示した。また、該TFTでは、オフ時のリーク電流を小さく抑えることができた。

【0116】(実施形態3)図3は本発明の実施形態3による半導体装置及びその製造方法を説明するための図であり、図3(a)~図3(e)は該製造方法の主要工程における断面構造を示している。

【0117】図において、300は、本実施形態による半導体装置であり、そのガラス基板301上には、絶縁性の下地膜102を介してN型TFT300n及びP型TFT300pとが形成されており、これらは、N型MOSとP型MOSとを相補型に構成したCMOS構造の回路をなしている。このCMOS構造回路は、アクティブマトリクス型液晶表示装置の周辺駆動回路や一般の薄膜集積回路に用いることができる。

【0118】以下詳述すると、上記下地膜302には、エネルギービーム照射による溶融固化過程で結晶化したゲルマニウム膜またはゲルマニウムを含むケイ素膜303n、303pと、それをシードとして結晶化させた結晶性ケイ素膜304n、304pとが形成されている。上記N型TFT300nの活性領域である結晶性ケイ素膜304nは、チャネル領域309nおよびソース、ドレイン領域310n、311nからなり、その上には、

ゲート絶縁膜 306 を介してチャネル領域 309n と対向するようゲート電極 307n が形成されている。また、上記 P 型 TFT 300p の活性領域である結晶性ケイ素膜 304p は、チャネル領域 309p およびソース、ドレイン領域 310p、311p からなり、その上には、ゲート絶縁膜 306 を介してチャネル領域 309p と対向するようゲート電極 307p が形成されている。

【0119】そして、上記 TFT 300n、300p の表面にはこれらを覆うよう層間絶縁膜 313 が形成されており、該層間絶縁膜 313 の上記各 TFT のソース、ドレイン領域に対応する位置には、コンタクトホール 313a が形成されている。また、N 型 TFT 300n のソース、ドレイン領域 310n、311n は、上記コンタクトホール 313a を介して電極配線 314、315 に電気的に接続され、P 型 TFT 300p のソース、ドレイン領域 310p、311p は、上記コンタクトホール 313a を介して電極配線 315、316 に電気的に接続され、これらの N 型 TFT 300n 及び P 型 TFT 300p は、CMOS 回路を構成している。

【0120】次に製造方法について説明する。

【0121】まず、図 3 (a) に示すように、ガラス板などからなる透光性絶縁基板 301 上に、例えばスパッタリング法により、厚さ 300nm 程度の酸化ケイ素からなる下地膜 302 を形成する。

【0122】次に、プラズマ CVD 法により、 GeH_4 ガスを原料として、厚さ 10~50nm、例えば 30nm の真性 (I) 型 a-Ge 膜 303 を成膜し、引き続いてプラズマ CVD 法により、 SiH_4 ガスを原料として、厚さ 30~100nm、例えば 50nm の真性 a-Si 膜 304 を成膜する。なお、上記 a-Ge 膜に代えて、上記実施形態 1 のシリコンゲルマニウム膜を用いることもできる。ここでは、マルチェンバー型のプラズマ CVD 装置を用いて、a-Ge 膜 303 と a-Si 膜 304 とを大気中に曝すことなく連続して成膜した。

【0123】その後、図 3 (a) に示すように、基板下方側、即ち基板裏面側からレーザー光 305 を照射することにより、a-Ge 膜 303 を結晶化する。この時のレーザー光 305 としては、ガラス基板 301 に吸収されないような波長域のものを選ぶ必要があり、ここでは XeCl エキシマレーザー (波長 308nm、パルス幅 40ns) を用いた。レーザー光の照射処理は、照射時に基板を 200~600℃、例えば 400℃ に加熱し、エネルギー密度 50~150mJ/cm²、例えば 100mJ/cm² で照射スポット 1カ所に付き 4ショット照射して行った。これにより、a-Si 膜 304 の下側の a-Ge 膜 303 のみが溶融して固化する過程にて、該 a-Ge 膜 303 が良好な結晶性を有する Ge 膜 303c となる。また、a-Ge 膜 303 の上側の a-Si 膜 304 は溶融せず、結晶化されずにそのまま非晶

質状態が維持される。

【0124】次に、該不活性雰囲気下で、例えば加熱温度 580℃、処理時間 16 時間のアニール処理を行うことにより、上記 a-Si 膜 304 を結晶化させる。この際、a-Si 膜 304 は、その下層の結晶性ゲルマニウム膜 303c の良好な結晶性を反映して結晶化され、図 3 (b) に示すように、高品質な結晶性ケイ素膜 304c となる。

【0125】次に、結晶性ゲルマニウム膜 303c および結晶性ケイ素膜 304c の不要な部分を除去し、図 3 (c) に示すような素子間分離を行って、後に TFT の活性領域、つまりチャネル領域 309n、309p、及びソース、ドレイン領域 310n、311n、310p、311p となる島状の結晶性ケイ素膜 304n、304p を形成する。このとき、各島状の結晶性ケイ素膜 304n 及び 304p の下側には、これらの同一パターンの結晶性ゲルマニウム膜 303n 及び 303p が残る。

【0126】続いて、図 3 (d) に示すように、N 型 TFT の活性領域となる結晶性ケイ素膜 304n および P 型 TFT の活性領域となる結晶性ケイ素膜 304p を覆うように厚さ 100nm の酸化ケイ素膜をゲート絶縁膜 306 として成膜する。ここでは、原料である TEOS を、これと酸素とを RF プラズマ CVD 法により処理して、基板温度 350℃ で分解・堆積することにより酸化ケイ素膜 306 を成膜した。

【0127】その後、スパッタリング法により、厚さ 400~800nm、例えば 500nm のアルミニウム (0.1~2% のシリコンを含む) を成膜し、これをパターンニングしてゲート電極 307n、307p を形成する。

【0128】次に、イオンドーピング法により、ゲート電極 307n、307p をマスクとして、活性領域に不純物 (リンおよびホウ素) を注入する。ドーピングガスとしてはフォスフィン (PH_3) およびジボラン (B_2H_6) を用い、前者の場合は加速電圧を 60~90kV、例えば 80kV とし、後者の場合は加速電圧を 40~80kV、例えば 65kV とし、ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えばリンについては $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素については $5 \times 10^{15} \text{ cm}^{-2}$ とする。これにより、ゲート電極 307n、307p にマスクされて不純物が注入されない領域 309n、309p は、後に N 型 TFT および P 型 TFT のチャネル領域となる。また、ドーピングに際しては、ドーピングが不要な領域をフォトレジストで覆うことにより、各々の元素を選択的にドーピングする。これにより、N 型 TFT 300n のソース、ドレイン領域としての N 型不純物領域 310n、311n と、P 型 TFT 300p のソース、ドレイン領域としての P 型不純物領域 310p、311p とが形成され、N チャネル型 TFT 300n および P チャネ

ル型TFT300pを形成することができる。

【0129】続いて、図3(d)に示すように、レーザー光312を照射してアニールを行い、イオン注入した不純物の活性化を行うと共に、上記不純物導入工程で結晶性が劣化した部分の結晶性を回復させる。この時のレーザー光312としては、XeClエキシマレーザー（波長308nm、パルス幅40nsec）を用いた。該レーザー光は、エネルギー密度250mJ/cm²で照射スポット1カ所に付き20ショットでもって照射した。

【0130】その後、図3(e)に示すように、プラズマCVD法により厚さ600nm程度の酸化ケイ素膜を層間絶縁膜313として形成する。

【0131】次に、層間絶縁膜313およびゲート絶縁膜306にコンタクトホール313aを形成して、金属材料、例えば窒化チタンとアルミニウムの二層膜により、各TFTの電極配線314、315、316を形成する。

【0132】そして最後に、1気圧の水素雰囲気下で、処理温度350℃、処理時間30分のアニールを行って、図3(e)に示すCMOS回路を構成するTFT300n、300pを完成する。

【0133】このようにして作製したCMOS回路において、それぞれのTFTの電界効果移動度は、N型TFTでは130~180cm²/Vs、P型TFTでは80~110cm²/Vsと高く、閾値電圧はN型TFTでは1~2V、P型TFTでは-2~-3Vと非常に良好な特性を示した。また、上記各TFTでは、オフ時のリーク電流を小さく抑えることができた。

【0134】以上、本発明の実施形態について具体的に説明したが、本発明はこれらの構成に限定されるものではなく、本発明の技術思想に基づいて各種の変形が可能である。

【0135】例えば、パルスレーザーであるエキシマレーザー照射によりゲルマニウム膜またはゲルマニウムを含むケイ素膜を結晶化する方法について説明したが、他の種類のレーザー、例えば連続発振レーザーであるArレーザー等を用いても同様の処理を行うことができる。また、レーザーの代わりに、赤外光、フラッシュランプ等を使用して短時間に1000~1200℃（シリコンモニターの温度）まで上昇させて試料を加熱するいわゆるRTA（ラピッド・サーマル・アニール、または RTP（ラピッド・サーマル・プロセス）とも称する。）等のレーザー光と同等の強光を用いてもよい。

【0136】また、液晶表示用のアクティブマトリクス基板以外に本発明を適用することもできる。例えば、密着型イメージセンサー、ドライバー内蔵型サーマルヘッド、有機系EL（エレクトロルミネッセンス）素子等などを発光素子としたドライバー内蔵型の光書き込み素子や表示素子、三次元ICなどが考えられる。

【0137】本発明を適用することによりこれらの素子の高速化、高解像度化等の高性能化を実現することができる。

【0138】さらに本発明は、上述の実施の形態で説明したMOS型トランジスタに限らず、結晶性半導体を素子材料としたバイポーラトランジスタや静電誘導トランジスタをはじめとして、それらの半導体プロセス全般に幅広く応用することができる。

【0139】

10 【発明の効果】以上のように、本発明によれば、良好な結晶性を有するケイ素膜が得られ、その結果、高移動度を有する高性能半導体装置が簡便な製造プロセスにて製造可能となる。

【0140】特に、液晶表示装置においては、周辺駆動回路部を構成するTFTに要求される高性能化および高集積化を満足した、同一基板上にアクティブマトリクス部と周辺駆動回路部とをモノリシックに搭載したドライバモノリシック型アクティブマトリクス基板を実現することができ、モジュールのコンパクト化、高性能化および低コスト化を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による半導体装置及びその製造方法を説明するための断面図であり、図1(a)~図1(e)は、TFTを搭載した半導体装置の製造方法の主要工程における断面構造を示す図である。

【図2】本発明の実施の形態2による半導体装置及びその製造方法を説明するための断面図であり、図2(a)~図2(e)は、TFTを搭載した半導体装置の製造方法の主要工程における断面構造を示す図である。

30 【図3】本発明の実施の形態3による半導体装置及びその製造方法を説明するための断面図であり、図3(a)~図3(e)は、CMOS構成のP型TFT及びN型TFTを搭載した半導体装置の製造方法の主要工程における断面構造を示す図である。

【図4】ゲルマニウムを含むケイ素膜の融点とゲルマニウム分率Xとの関係をグラフで示す図である。

【符号の説明】

100、200、300 半導体装置

100a、300n N型TFT

40 101、201、301 絶縁性基板

102、202、302 下地膜

103 シリコンゲルマニウム膜

103c 結晶性シリコンゲルマニウム膜

104、204、304 非晶質ケイ素膜

104c、204c、304c 結晶性ケイ素膜

104i、204i、304n、304p 活性領域

105、205、305、112、212、312 レーザー光

106、206、306 ゲート絶縁膜

50 107、207、307n、307p ゲート電極

25

108 陽極酸化層

109、209、309n、309p チャネル領域

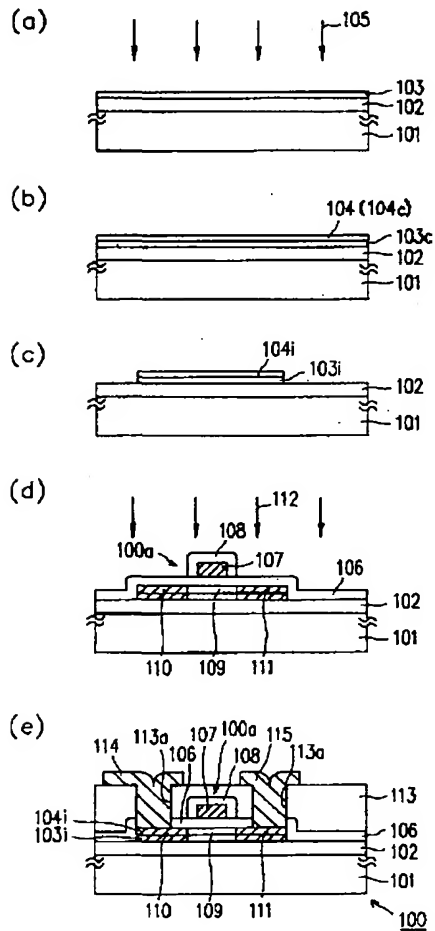
110、210、310n、310p ソース領域

111、211、311n、311p ドレイン領域

113、213、313 層間絶縁膜

113a、213a、313a コンタクトホール

【図1】



26

114、115、214、215、314、315、3

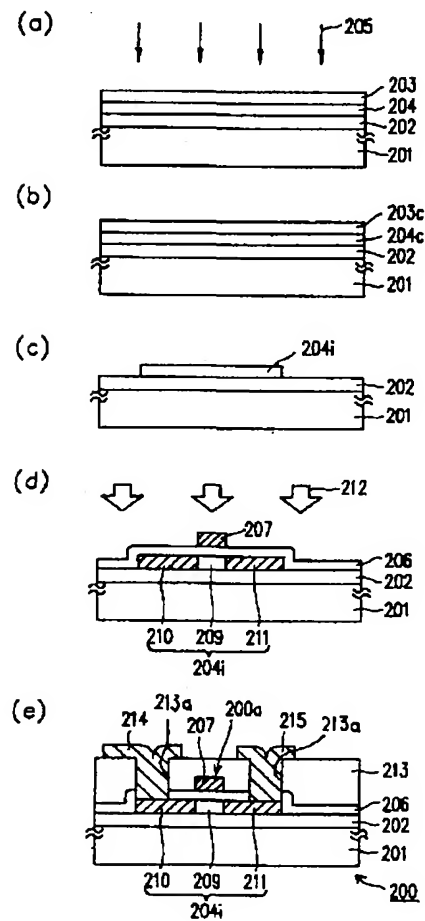
16 電極配線

200a、300p P型TFT

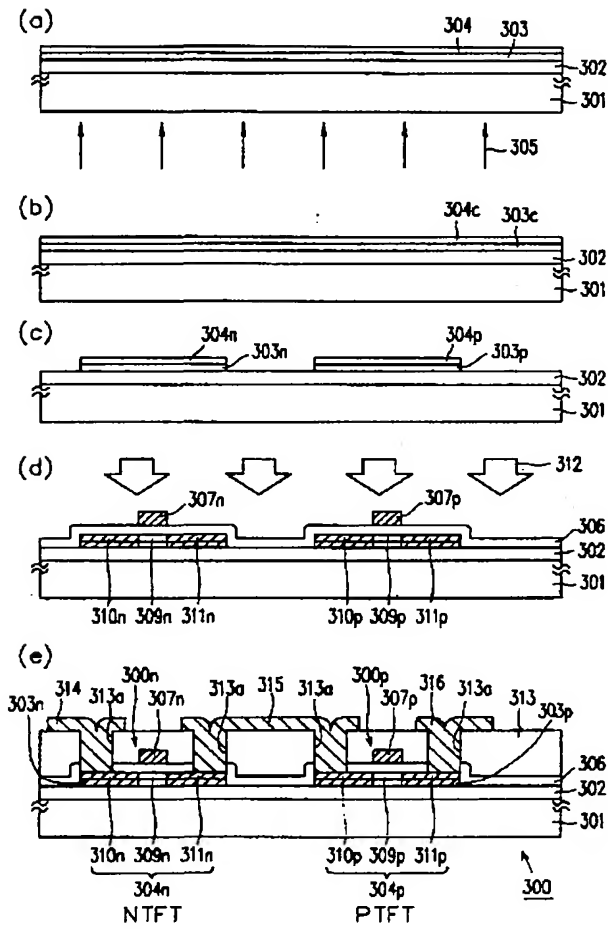
203、303 ゲルマニウム膜

203c、303c、303n、303p 結晶性ゲルマニウム膜

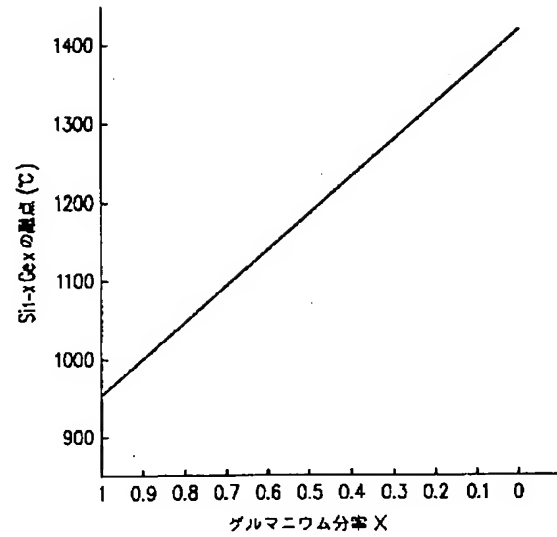
【図2】



【図 3】



【図 4】



フロントページの続き

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

6 2 7 E